

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-264823

(43)Date of publication of application : 26.09.2001

(51)Int.CI.

G02F	1/153
G02F	1/15
G02F	1/155
G09F	9/30
G09G	3/20
G09G	3/38

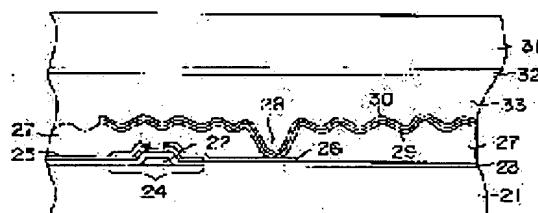
(21)Application number : 2000-078018 (71)Applicant : SHARP CORP
 (22)Date of filing : 21.03.2000 (72)Inventor : KATAUE MASAYUKI

(54) ELECTROCHROMIC DISPLAY

(57)Abstract:

PROBLEM TO BE SOLVED: To make reflected light bright and to shorten the writing time to all pixels of one line.

SOLUTION: An insulating resin layer 27 on which ruggedness is formed on a TFT element 24 and a signal wiring pattern, and a pixel electrode 29 and an EC thin film 30 of metal with a high reflectivity are laminated on it. Thus, a bright display with a low directivity is performed by enlarging the pixel electrode 29 by superposing it with the TFT element 24 or a wiring pattern part through the insulating resin layer 27, enhancing the reflectivity, and forming ruggedness on the surface. Besides, by forming a TFT element in each source wiring, controlling the ON time of the TFT element, and thus setting the writing level to each pixel, the voltage of the same potential is applied to adjacent pixels in the row direction, or a nonconductive condition is made. Thus, abnormalities in display that an electric current flows into the adjacent pixels through an electrolyte 33 are eliminated. Furthermore, the writing time to all pixels of one line is shortened by starting the writing of all pixels in a selected line simultaneously.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁(JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-264823

(P2001-264823 A)

(43) 公開日 平成13年9月26日(2001.9.26)

(51) Int. C1.⁷

識別記号

F I

テマコード(参考)

G02F 1/153

G02F 1/153

2K001

1/15 506

1/15 506

5C080

1/155

1/155

5C094

G09F 9/30

368

G09F 9/30

368

380

380

審査請求 未請求 請求項の数 5

O L

(全6頁)

最終頁に統く

(21) 出願番号

特願2000-78018(P2000-78018)

(71) 出願人 000005049

シャープ株式会社

(22) 出願日

平成12年3月21日(2000.3.21)

大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 片上 正幸

大阪府大阪市阿倍野区長池町22番22号 シ
ヤープ株式会社内

(74) 代理人 100062144

弁理士 青山 葵 (外1名)

Fターム(参考) 2K001 AA02 BA04 BA08 BB25 BB30

BB38 CA19 CA20 CA21 CA23

EA05 EA06 EA14 EA17 EA22

5C080 AA11 BB05 DD03 DD09 FF11

JJ03 JJ04 JJ06

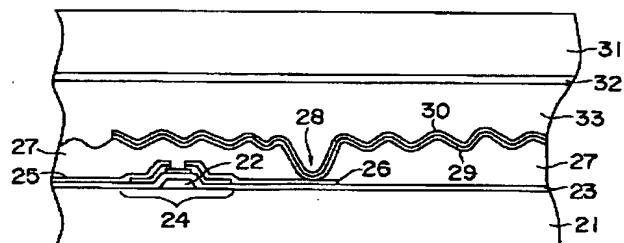
5C094 AA13 BA03 BA52 CA19 EA04

(54) 【発明の名称】エレクトロクロミック表示装置

(57) 【要約】

【課題】 反射光を明るくし、1行全画素への書き込み時間を短くする。

【解決手段】 TFT素子24および信号配線パターン上に、凹凸が形成された絶縁性樹脂層27を形成し、その上に反射率の高いメタルの画素電極29とEC薄膜30とを積層する。こうして、画素電極29を、絶縁性樹脂層27を介してTFT素子24や配線パターン部と重ねて大きく、反射率を高く、表面に凹凸を設けて形成することによって、明るく指向性の少ない表示を行う。また、各ソース配線の夫々にTFT素子を設け、このTFT素子のオン時間を制御して各画素への書き込みレベルを設定することによって、行方向への隣接画素を同電位の電圧が印加されるか非導通状態にする。こうして、隣接画素に電解質33を介して電流が流れ込む表示異常をなくす。さらに、選択行の全画素の書き込みを同時にスタートして、1行の全画素への書き込み時間を短くする。



【特許請求の範囲】

【請求項1】複数の走査配線と複数の信号配線とが互いに交差して配設されると共に、上記走査配線と信号配線との交差部近傍に第1のスイッチング素子が設けられた基板と、

上記走査配線、信号配線および第1のスイッチング素子の上を覆って形成された絶縁性樹脂層と、

上記絶縁性樹脂層上に配設された画素電極と、

上記画素電極上に配設されたエレクトロクロミズム膜を備えたことを特徴とするエレクトロクロミック表示装置。

【請求項2】請求項1に記載のエレクトロクロミック表示装置において、

上記信号配線は上記第1のスイッチング素子を介して上記画素電極と接続されており、

上記各信号配線に接続されて、上記各信号配線に所定電圧の電圧信号を供給する電圧信号供給配線と、

上記各信号配線と電圧信号供給配線との間に介設されて、夫々の信号配線に対する上記電圧信号の供給時間を制御する第2のスイッチング素子を備えたことを特徴とするエレクトロクロミック表示装置。

【請求項3】請求項2に記載のエレクトロクロミック表示装置において、

上記第2のスイッチング素子は、上記エレクトロクロミズム膜の発色濃度に応じた時間だけ上記電圧信号を供給するような制御信号に基づいて、動作が制御されるようになっていることを特徴とするエレクトロクロミック表示装置。

【請求項4】請求項1乃至請求項3の何れか一つに記載のエレクトロクロミック表示装置において、

上記絶縁性樹脂層の表面には凹凸が形成されており、

上記絶縁性樹脂層とエレクトロクロミズム膜との間に、所定反射率以上の反射率を有する金属で成る反射膜が配設されていることを特徴とするエレクトロクロミック表示装置。

【請求項5】請求項4に記載のエレクトロクロミック表示装置において、

上記反射膜は、上記画素電極であることを特徴とするエレクトロクロミック表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、明るさと表示メモリ性の利点を活かして画像表示ボード等に用いられるエレクトロクロミック表示装置に関する。

【0002】

【従来の技術】表示装置として、電気化学の酸化還元反応を利用して表示を行うエレクトロクロミック素子(以下、ECDと言う)を用いたものが従来より良く知られている。このECDは偏光板を用いないので明るく、また表示にメモリ性があり、書き換えの少ない用途の場合

には、低消費電力の利点を発揮できる表示素子である。

【0003】このECDでマトリックス表示を行う方法として、TFT素子を利用する事が以前より提案されており、その一構造例を図4に示す。図4において、1, 2はガラス基板であり、3～8はTFT(薄膜トランジスタ)素子の概略構造を示したものである。このTFT素子は、ガラス基板1上にパターニングされたゲート配線3の上に層間絶縁膜4を形成し、半導体5を介してソース電極7とドレイン電極8とが形成されている。

10 尚、6はチャネルである。

【0004】そして、上記ドレイン電極8に接続された透明電極9上に、EC(エレクトロクロミズム)薄膜10が成膜されている。このEC薄膜10の材料としては、酸化タンゲステンや酸化イリジウム等の無機材料系、あるいは、ビオロゲン、ブルシアンブルーやアントラキノン系の有機材料系が一般的に知られている。

【0005】一方、上記TFT素子が形成されたTFT側基板に対向する対向基板は、ガラス基板2上に透明電極11が全面に形成され、反射型であれば更にその上に白色拡散板12が形成された構造を有している。そして、上記TFT側基板と対向基板との間に、使用するEC薄膜材料に適した電解質13を挟み込み、シール材で封入してECDが構成されている。

【0006】そして、上述のようなTFT素子を用いたECDでマトリックス表示を行う際には、ゲート信号回路からゲート配線3に順次電圧を印加して表示画素行を選択し、選択された行の各画素のTFT素子をオン状態にする。そして、ソース信号回路から、ソース配線およびソース電極7を介して、EC薄膜10を反応させるための発色濃度に応じた電圧を一定時間だけ供給するのである。

【0007】その場合に、上記選択された行の全画素の透明電極9に同時に電圧を印加すると、行方向に隣接する画素へ電解質13を介して電流が流れるために隣接画素の印加電圧が変動する。したがって、EC薄膜10の発色レベルをコントロールできず、表示品位を損なう恐れがある。そこで、上記ソース信号回路にシフトレジスタを設け、ソース配線側(列側)も順次スキャンさせて、選択された列と行との交差位置に在る1画素ずつ書き込みを行う駆動方法が提案されている。

【0008】

【発明が解決しようとする課題】しかしながら、上記従来のECDには、以下のようないわゆる問題がある。すなわち、図4に示すような構造の場合には、ゲート配線3やソース配線の配線部との重なりを避けるために透明電極9(画素電極)を大きくすることができない。また、光反射板として白色拡散板12を使用しているために高い反射効率が得られず、暗い外部環境においては表示が見づらくなるという問題がある。

50 【0009】また、マトリックス表示を行う場合に、上

述したように液晶表示素子のごとく選択された1行の画素に1度に書き込みを行うと、行方向に隣接した画素へ電解質13を介して電流が流れ、表示異常を引き起します。そこで、上記ソース信号回路にシフトレジスタを設け、信号配線(ソース配線)もスキャンさせて行方向に1画素ずつ書き込みを行うと、1行の全画面の書き込みに非常に時間が掛るという別の問題が発生する。

【0010】そこで、この発明の目的は、反射光が明るく、1行全画素への書き込み時間が短く且つ高品位表示が可能なエレクトロクロミック表示装置を提供することにある。

【0011】

【課題を解決するための手段】上記目的を達成するため、この発明のエレクトロクロミック表示装置は、複数の走査配線と複数の信号配線とが互いに交差して配設されると共に、上記走査配線と信号配線との交差部近傍に第1のスイッチング素子が設けられた基板と、上記走査配線、信号配線および第1のスイッチング素子の上を覆って形成された絶縁性樹脂層と、上記絶縁性樹脂層上に配設された画素電極と、上記画素電極上に配設されたEC膜を備えたことを特徴としている。

【0012】上記構成によれば、画素電極は、絶縁性樹脂層を介して走査配線、信号配線および第1のスイッチング素子よりも上側に離れて配設されている。したがって、上記画素電極は、上記走査配線、信号配線および第1のスイッチング素子と重ねて配設することが可能になる。したがって、上記画素電極を、上記走査配線、信号配線および第1のスイッチング素子と重ねて大きく形成することによって、明るい表示が得られる。

【0013】また、この発明のエレクトロクロミック表示装置は、上記信号配線を上記第1のスイッチング素子を介して画素電極に接続し、上記各信号配線に接続されて上記各信号配線に所定電圧の電圧信号を供給する電圧信号供給配線と、上記各信号配線と電圧信号供給配線との間に介設されて、夫々の信号配線に対する上記電圧信号の供給時間を制御する第2のスイッチング素子を備えることが望ましい。

【0014】上記構成によれば、第2のスイッチング素子によって、電圧信号供給配線から上記各信号配線への所定電圧の電圧信号の供給時間が制御される。したがって、上記第2のスイッチング素子の動作を、上記EC膜の発色濃度に応じた時間だけ上記電圧信号を供給するようく制御すれば、上記EC膜の発色濃度が所定電圧の印加時間で設定される。

【0015】したがって、上記走査配線の延在方向に隣接している画素電極は、同電位の電圧が印加されているかあるいは非導通状態になっており、隣接画素電極間に電位差は生じない。したがって、上記EC膜と対向基板との間に封止される電解質を介した隣接EC膜への電流の流れは生じない。したがって、上記EC膜の発色濃度

が、上記電圧信号の印加時間で設定された発色濃度に保たれる。さらに、そのために、1本の走査配線に沿って配列された上記第1のスイッチング素子に対応する画素電極への上記電圧信号の印加動作を同時に開始することができ、1行の全画素への書き込み時間が短くなる。

【0016】また、この発明のエレクトロクロミック表示装置は、上記第2のスイッチング素子の動作を、上記EC膜の発色濃度に応じた時間だけ上記電圧信号を供給するような制御信号に基づいて制御するように成すことが望ましい。

【0017】上記構成によれば、上記EC膜の発色濃度が、所定電圧である上記電圧信号の印加時間で設定される。したがって、上述したように、隣接EC膜への上記電解質を介した電流の流れは生じない。したがって、上記EC膜の発色濃度が、上記電圧信号の印加時間で設定された発色濃度に保たれる。さらに、そのために、1本の上記走査配線に沿って配列された上記第1のスイッチング素子に対応する上記画素電極への上記電圧信号の印加動作を同時に開始することができ、1行の全画素への書き込み時間が短くなる。

【0018】また、この発明のエレクトロクロミック表示装置は、上記絶縁性樹脂層の表面に凹凸を形成し、上記絶縁性樹脂層とEC膜との間に所定反射率以上の反射率を有する金属で成る反射膜を配設することが望ましい。

【0019】上記構成によれば、上記絶縁性樹脂層とEC膜との間に高い反射率の反射膜が存在する。したがって、上記EC膜からの発色光は上記反射膜によって高い反射効率で反射され、暗い外部環境においても明るい表示が得られる。その際に、上記凹凸を有する絶縁性樹脂層に積層されて形成される上記反射膜の表面には、凹凸が形成されている。したがって、正反射成分が少なく、指向性の少ない表示が得られる。さらに、上記凹凸を有する絶縁性樹脂層に積層されて形成される上記EC膜には凹凸が形成される。したがって、上記EC膜の表面積が広くなり色が濃く見え、明るく見やすい表示が得られる。

【0020】また、この発明のエレクトロクロミック表示装置は、上記反射膜を上記画素電極で構成することが望ましい。

【0021】上記構成によれば、上記画素電極が上記反射膜として機能するので、専用の反射膜の形成が不用になる。こうして、エレクトロクロミック表示装置の薄型化が図られる。

【0022】

【発明の実施の形態】以下、この発明を図示の実施の形態により詳細に説明する。図1は、本実施の形態におけるマトリックス型のエレクトロクロミック表示装置におけるTFT部分の概略断面を示す。また、図2は、上記マトリックス型エレクトロクロミック表示装置における

各画素の配列および構成とソース信号回路の要部とを示す回路図である。上記マトリックス型エレクトリクロミック表示装置は、以下のようにして形成される。

【0023】すなわち、先ず、一方のガラス基板21上に、公知の技術によって、ゲート配線22を形成し、さらに層間絶縁膜23を介してTFT素子24およびソース電極25に接続されるソース配線36を作成する。

尚、TFT素子24を作成する際に、ソース配線36における先端部に設けられてソース信号回路の一部を構成するTFT素子37, 38, 39(図2参照)もガラス基板21上に形成する。そして、TFT素子24および上記信号配線パターン上に凹凸が表面に形成された絶縁性樹脂層27を設け、この絶縁性樹脂層27にTFT素子24のドレイン電極26に達するスルーホール28を形成する。

【0024】ここで、上記絶縁性樹脂層27の表面に凹凸を付ける方法としては、絶縁性樹脂層27の材料として感光性アクリル樹脂を用い、成膜された感光性アクリル樹脂にマスク露光し、露光量の違いで凹凸を付ける方法がある。それ以外にも、樹脂中に球状体や微細ゲルを混入したものを絶縁性樹脂層27の表面に塗布することにより凹凸を付ける方法もある。

【0025】次に、上記凹凸が形成された絶縁性樹脂層27上に、Ta, NiやAl等の反射率の高いメタルをデボし、フォトプロセスによって画素形状にパターニングして画素電極29とする。この画素電極29は、絶縁性樹脂層27に設けられスルーホール28の個所で、TFT素子24のドレイン電極26と電気的に接続されている。尚、上記画素電極29は、絶縁性樹脂層27を介してTFT素子24や上記信号配線パターンよりも上側に離れて形成されている。したがって、画素電極29は、TFT素子24や配線パターン部と重ねて大きく形成することができる。

【0026】次に、上記画素電極29上に、EC薄膜30として、例えは酸化タンクステンをデボし、画素電極29と略同一形状にパターニング形成する。EC薄膜30としては、他に酸化イリジウム、ビオロゲンあるいはブルシアンブルー等を用いても差し支えない。

【0027】その結果、上記EC薄膜30の下層には、Ta, NiやAl等の反射率の高いメタルで構成された画素電極29が形成されている。したがって、従来のごとく反射板として白色拡散板を使用する場合よりも高い反射効率を得ることができ、TFT素子24や上記信号配線パターン部と重ねて大きく形成することができることと相俟つて、暗い外部環境においても明るい表示を行うことができる。さらに、画素電極29の表面には、下地の絶縁性樹脂層27の凹凸に応じた凹凸が形成されている。したがって、正反射成分を少なくすることができます、指向性の少ない表示を行うことができる。さらに、EC薄膜30にも凹凸が形成されている。したがって、E

C薄膜30の表面積が広くなつて色が濃く見え、明るく見やすい表示を行うことができる。

【0028】次に、表面に透明導電膜32が形成された対向ガラス基板31を、透明導電膜32側をEC薄膜30と対向させて所定の間隔で積層する。そして、透明導電膜32とEC薄膜30との間に過塩素酸リチウム等の電解質33を挟み込み、シール材で封入してマトリックス型エレクトリクロミック表示装置が得られる。

【0029】上記構成のマトリックス型エレクトリクロミック表示装置における各画素への書き込み動作は、以下のようにして行われる。尚、以下の説明は、図2に示す回路図に従つて行う。図2は、説明を簡単にするために、(3×3)の9個の画素のみを示している。

【0030】上記ゲート配線22a～22cには走査信号Ga～Gcを順次印加する。そして、走査信号Gが印加されたゲート配線22に接続された1行分のTFT素子24には、図3に示すように、所定時間tだけオンする電圧が印加される。ここで、ゲート配線22aに走査信号Gaが印加された場合を考えると、ゲート配線22aに接続された各画素P11, P21, P31には書き込みレベルに合わせた時間だけ配線35によって所定電圧Vの電圧信号Sを印加する。

【0031】すなわち、今、上記ゲート配線22aに接続された各画素P11, P21, P31の発色濃度をP21>P11>P31とする場合には、図3に示すように、画素P21に接続されたソース配線36bと配線35とに介設されたTFT素子38のゲート電極に印加される信号Tbの「H」期間tbを1番長くする。そして、以下、画素P11に対応するTFT素子37用の信号Taの「H」期間ta、画素P31に対応するTFT素子39用の信号Tcの「H」期間tcの順に長くする。こうして、図4に示す従来のエレクトロクロミック素子の場合のように、各画素P11, P21, P31への印加電圧によって書き込みレベルを設定するのではなく、各画素P11, P21, P31への定電圧Vの印加時間によって書き込みレベルを設定するのである。

【0032】上述のように、本実施の形態においては、ガラス基板21上にTFT素子24および信号配線パターンを作成した後、表面に凹凸が形成された絶縁性樹脂層27を形成し、さらにその上に、Ta, NiやAl等の反射率の高いメタルで成る画素電極29およびEC薄膜30を積層し、スルーホール28の個所でTFT素子24のドレイン電極26と画素電極29とを電気的に接続している。

【0033】こうして、上記画素電極29を、絶縁性樹脂層27を介してTFT素子24や信号配線パターンよりも上側に離して形成するので、画素電極29をTFT素子24や配線パターン部と重ねて大きく形成することができる。さらに、画素電極29を反射率の高いメタルで構成して反射板として機能させ、然も表面には凹凸を

形成しているので、反射効率が高く且つ正反射成分が少なく、明るく指向性の少ない表示を行うことができるものである。

【0034】さらに、上記ソース配線36における先端部に設けられてソース信号回路の一部を構成するTFT素子37, 38, 39をガラス基板21上に設け、配線35からの所定電圧Vの電圧信号SをTFT素子37, 38, 39を介してソース配線36a, 36b, 36cに印加するようにしている。そして、その際における印加時間を、TFT素子37, 38, 39のゲート電極に印加される信号Ta, Tb, Tcによって発色濃度に応じて制御するようにしている。

【0035】こうして、上記各画素P11, P21, P31への定電圧Vの印加時間によって書き込みレベルを設定するようにしている。したがって、行方向へ隣接している画素間においては、同電位の電圧Vが印加されているか、あるいは、非導通状態となっているかであり、隣接画素間に電位差は生じない。その結果、隣接画素から電解質33を介して電流が流れ込んで表示異常となることはない。さらに、上述のような各画素への書き込み動作を行うことによって、選択行の全画素の書き込みを同時にスタートすることができ、1行の全画素への書き込み時間を短くすることができる。

【0036】

【発明の効果】以上より明らかなように、この発明のエレクトロクロミック表示装置は、基板上に配設された走査配線、信号配線および第1のスイッチング素子上を覆って形成された絶縁性樹脂層上に、画素電極を配設し、上記画素電極上にEC膜を配設したので、上記画素電極は、絶縁性樹脂層を介して走査配線、信号配線および第1のスイッチング素子よりも上側に離れて配設されている。

【0037】したがって、上記画素電極を、上記走査配線、信号配線および第1のスイッチング素子と重ねて大きく形成することができ、明るい表示を得ることができる。

【0038】また、この発明のエレクトロクロミック表示装置は、上記各信号配線とこの各信号配線に所定電圧の電圧信号を供給する電圧信号供給配線との間に第2のスイッチング素子を介設すれば、この第2のスイッチング素子によって、上記各信号配線への所定電圧の上記電圧信号の供給時間を制御できる。したがって、上記第2のスイッチング素子の動作を、上記EC膜の発色濃度に応じた時間だけ上記電圧信号を供給するように制御すれば、上記EC膜の発色濃度を所定電圧の印加時間で設定できる。

【0039】すなわち、隣接している画素電極の状態を、同電位の電圧が印加されている状態かあるいは非導通状態にでき、隣接画素電極間に電位差が生じないようにできる。その結果、上記EC膜と対向基板との間に封

止された電解質を介して隣接EC膜に電流が流れることなく、上記EC膜の発色濃度を上記電圧信号の印加時間で設定された発色濃度に保って、高品位な表示を行うことができる。

【0040】さらに、そのために、1本の上記走査配線に沿って配列された上記画素電極への上記電圧信号の印加動作を同時に開始することができ、1行の全画素への書き込み時間を短くできる。

【0041】また、この発明のエレクトロクロミック表示装置は、上記第2のスイッチング素子の動作を、上記EC膜の発色濃度に応じた時間だけ上記電圧信号を供給するような制御信号に基づいて制御するようにすれば、上記EC膜の発色濃度を上記電圧信号の印加時間で設定できる。したがって、上述したように、上記電解質を介した隣接EC膜への電流の流れを防止して、上記EC膜の発色濃度を上記電圧信号の印加時間で設定された発色濃度に保つことができ、高品位な表示を行うことができる。

【0042】さらに、そのために、1本の上記走査配線に沿って配列された上記画素電極への上記電圧信号の印加動作を同時に開始することができ、1行の全画素への書き込み時間を短くできる。

【0043】また、この発明のエレクトロクロミック表示装置は、上記絶縁性樹脂層の表面に凹凸を形成し、上記絶縁性樹脂層とEC膜との間に所定反射率以上の反射率を有する金属で成る反射膜を形成すれば、上記EC膜からの発色光を上記反射膜によって高い反射率で反射して、暗い外部環境においても明るい表示を得ることができる。その際に、上記反射膜の表面にも凹凸が形成されている。したがって、正反射成分が少なく指向性の少ない表示を得ることができます。さらに、上記EC膜にも凹凸が形成されている。したがって、上記EC膜の表面積が広くなり色が濃く見え、明るく見やすい表示を得ることができます。

【0044】また、この発明のエレクトロクロミック表示装置は、上記反射膜を上記画素電極で構成すれば、上記画素電極を上記反射膜として機能させることができ、エレクトロクロミック表示装置の薄型化を図ることができる。

【図面の簡単な説明】

【図1】 この発明のエレクトロクロミック表示装置におけるTFT部分の概略断面図である。

【図2】 マトリックス型のエレクトロクロミック表示装置における各画素の配列およびソース信号回路の要部を示す回路図である。

【図3】 図2における走査信号Ga, 信号Ta, 信号Tb, 信号Tcの波形の一例を示す図である。

【図4】 従来のECMの構造例を示す断面図である。

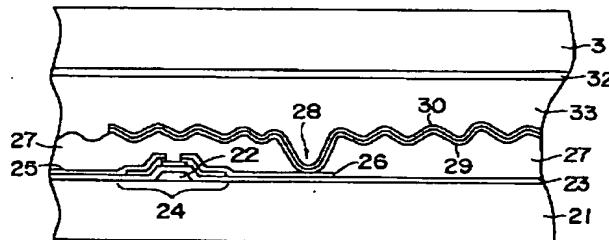
【符号の説明】

21…ガラス基板、

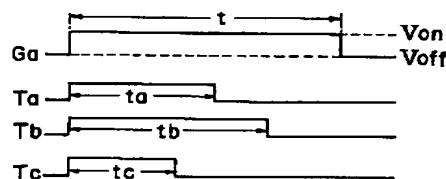
22…ゲート配線、
24, 37, 38, 39…TFT素子、
25…ソース電極、
26…ドレイン電極、
27…絶縁性樹脂層、
28…スルーホール、
29…画素電極、

30…EC薄膜、
31…対向ガラス基板、
32…透明導電膜、
33…電解質、
35…配線、
36…ソース配線。

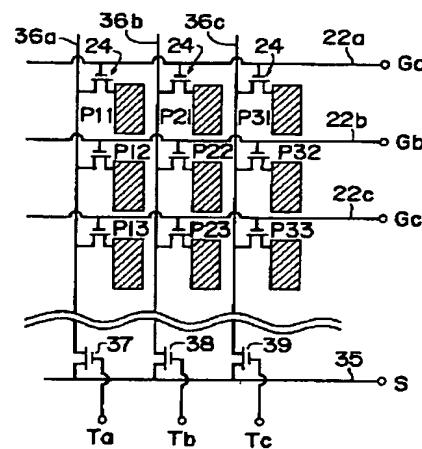
【図1】



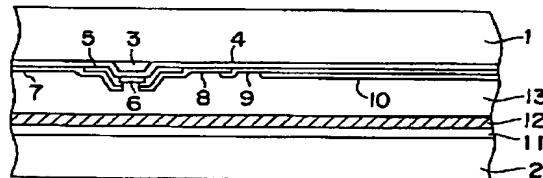
【図3】



【図2】



【図4】



フロントページの続き

(51) Int. Cl. 7

G 09 G 3/20

識別記号

6 4 2
6 7 0

F I

G 09 G 3/20

テマコト[®] (参考)6 4 2 D
6 7 0 E

3/38

3/38